



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0039369  
Application Number

출원년월일 : 2002년 07월 08일  
Date of Application JUL 08, 2002

출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003      년      04      월      16      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】 특허출원서  
 【권리구분】 특허  
 【수신처】 특허청장  
 【참조번호】 0004  
 【제출일자】 2002.07.08  
 【발명의 명칭】 센스증폭기  
 【발명의 영문명칭】 Sense amplifier  
 【출원인】

【명칭】 (주)하이닉스 반도체

【출원인코드】 1-1998-004569-8

## 【대리인】

【성명】 신영무

【대리인코드】 9-1998-000265-6

【포괄위임등록번호】 1999-003525-1

## 【발명자】

【성명의 국문표기】 정종배

【성명의 영문표기】 JEONG, Jong Bae

【주민등록번호】 690522-1114411

【우편번호】 467-861

【주소】 경기도 이천시 부발읍 응암리 이화아파트 201-1301

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 신영무  
 대리인  
 무 (인)

## 【수수료】

【기본출원료】 15 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 29,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명에 따른 센스 증폭기는 메모리 셀에 저장된 데이터를 센스하는 센스부와, 레퍼런스 셀로 구성되며 기준 전압을 생성하는 기준 전압 발생부와, 상기 메모리 셀의 워드라인이 인에이블 되기 전에 상기 센스부의 출력과 상기 기준 전압 발생부의 출력을 동일한 전압으로 만든 후 센스 동작시에 디스에이블되는 등화회로와, 상기 센스부의 출력과 상기 기준 전압 발생부의 출력을 비교하는 비교기를 포함하여 구성된다.

**【대표도】**

도 2

**【색인어】**

센스 증폭기, 등화회로

【명세서】

【발명의 명칭】

센스 증폭기{Sense amplifier}

【도면의 간단한 설명】

도 1은 종래의 센스 증폭기를 나타낸다.

도 2는 도 1의 상세회로도이다.

도 3은 도2의 동작 설명을 위한 타이밍도이다.

도 4는 본 발명에 따른 센스 증폭기를 나타낸다.

도 5는 도 4를 설명하기 위한 타이밍도이다.

도 6a 내지 도 6c 는 도 4의 등화회로의 실시예이다.

\* 도면의 주요 부분에 대한 부호의 설명

10: 센스부      20: 기준접압 생성부

30: 센스 블록      40: 등화회로

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10>      본 발명은 센스 증폭기에 관한 것으로 특히, 등화회로를 갖는 센스 증폭기에 관한 것이다.

<11>      일반적으로, 메모리 셀에 저장된 데이터는 센스 증폭기에 의해 독출된다. 도 1은 NOR형 플래쉬 메모리에 사용되는 센스 증폭기를 나타낸다. 각 비트 라인(도시안됨)에는

다수의 센스 블록(30)이 연결된다. 센스 증폭기(30)는 메모리 셀의 데이터를 센싱하는 센스부(10)를 포함한다. 센스부(10)의 출력(SAIN)은 비교기(SA0)의 비 반전(+)단자에 입력된다. 레퍼런스 셀로 구성된 기준 전압 생성부(20)의 출력(SAINR)은 비교기(SA0)의 반전(-)단자에 입력된다. 예를들어 센스부(10)의 출력이 기준 전압 생성부(20)의 출력(SAINR)보다 높으면 비교기(SA0)는 로우 신호를 출력하고 그 반대이면 비교기(SA0)는 하이 신호를 출력한다. 즉, 메모리 셀이 프로그램된 셀이면 레퍼런스 셀의 문턱전압이 메모리 셀의 문턱 전압보다 낮으므로 비교기(SA0)는 로우 신호를 출력하고 메모리 셀이 소거된 셀이면 레퍼런스 셀의 문턱전압이 메모리 셀의 문턱 전압보다 높으므로 비교기(SA0)는 하이 신호를 출력한다.

<12> 도 2는 도 1의 센스 증폭기에 대한 상세 회로도이다.

<13> 워드 라인(W/L)이 인에이블 되고 비트라인 선택 신호(YSEL)와 프로그램 바 신호(PGMb)가 하이 상태가되면 트랜지스터(N& 및 N6)이 턴온 된다. 또한 센스 인에이블 바 신호(SAENb)가 로우 상태이면 트랜지스터(P1)가 턴온된다. 예를 들어 메모리 셀이 프로그램된 셀이면 인버터(INV3)의 출력이 로우 상태가 되므로 트랜지스터(N5)는 턴 오프된다. 그러므로 전원이 트랜지스터(P1 및 N4)를 통해 출력되므로 센싱부(10)의 출력은 하이 상태가 된다. 비교기(SA0)의 출력은 인버터(INV1 및 INV2)를 통해 출력된다.

<14> 한편, 워드라인(W/L)이 인에이블되고 레퍼런스 비트라인 선택 신호(RYSEL)이 하이 상태가 되고 레퍼런스 프로그램 바 신호(RPGMb)신호가 하이 상태가 되면 트랜지스터(N2 및 N3)가 턴온된다. 센스인에이블 바 신호(SAENb)신호가 로우 상태이면

트랜지스터(P0)가 턴온된다. 레퍼런스 셀은 프로그램된 셀이므로 인버터(INV0)의 출력은 로우 상태가 되어 트랜지스터 (N1)은 턴 오프된다. 그러므로 트랜지스터(P0 및 N0)에서 강하된 전압이 출력(SAINR)된다.

- <15> 예를들어 센싱부(10)의 출력이 기준 전압 생성부(20)의 출력(SAINR)보다 높으면 비교기(SA0)는 로우 신호를 출력하고 그 반대이면 비교기(SA0)는 하이 신호를 출력한다. 즉, 메모리 셀이 프로그램된 셀이면 레퍼런스 셀의 문턱전압이 메모리 셀의 문턱 전압보다 낮으므로 비교기(SA0)는 로우 신호를 출력하고 메모리 셀이 소거된 셀이면 레퍼런스 셀의 문턱전압이 메모리 셀의 문턱 전압보다 높으므로 비교기(SA0)는 하이 신호를 출력한다. 비교기(SA0)의 출력은 인버터(INV1 및 INV2)를 통해 출력된다. 이러한 동작은 도 3의 타이밍도에 잘 나타나 있다. 도 3의 T0 와 T1 구간에 어드레스의 변화를 인지하여 어드레스 천이 신호(ATD)가 발생하면 워드라인에 리드를 하기 위한 전압이 생성되어 인가된다. 저 전압 동작에서는 높은 워드라인 전압을 생성해야 하기 때문에 지연된 시간을 가지고 워드라인 전압이 상승하기 시작한다. 그런데 센스 증폭기는 어드레스 천이가 발생하면 T1 시간에 인에이블이 된다. 하지만 워드라인의 충분히 상승하지 않았기 때문에 SAIN과 SAINR은 T2 구간 까지 증가하게 되고, 이 시간 이후에 레퍼런스 셀이 턴온되어 커런트가 흐름으로써 T3 구간에서 제대로 센싱 동작이 일어나게 된다. SAINR은 SAIN에 비해 상대적으로 부하가 적으므로 빨리 상승하게 된다. 따라서 워드라인이 메모리 셀과 셀과 레퍼런스 셀을 턴온 시키고 나서 센싱 데이터가 나오기 까지의 시간 지연이 발생하게 된다. 즉, SAINR이 기준 전압까지 떨어 지는 시간, 프로그램 셀일 경우 비트라인이 충전 되어 SAIN이 상승하는 시간이 센싱 스피드를 늦게 만들게 된다.

**【발명이 이루고자 하는 기술적 과제】**

<16> 따라서 본 발명은 레퍼런스 셀과 메모리 셀이 턴온 되기 전에 기준 전압 발생기의 출력과 센스부의 출력을 동일하게 한 다음 센싱 동작이 이루어 지게 하므로써 센싱 스피드를 개선할 수 있는 센스 증폭기를 제공하는데 그 목적이 있다.

**【발명의 구성 및 작용】**

- <17> 본 발명에 따른 센스 증폭기는 메모리 셀에 저장된 데이터를 센스하는 센스부와,  
<18> 레퍼런스 셀로 구성되며 기준 전압을 생성하는 기준 전압 발생부와,  
<19> 상기 메모리 셀의 워드라인이 인에이블 되기 전에 상기 센스부의 출력과 상기 기준 전압 발생부의 출력을 동일한 전 압으로 만든 후 센스 동작시에 디스에이블되는 등화회로와,  
<20> 상기 센스부의 출력과 상기 기준 전압 발생부의 출력을 비교하는 비교기를 포함하여 구성된다.  
<21> 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.  
<22> 도 2는 본 발명에 따른 센스 증폭기를 나타낸다.  
<23> 도면에 도시한 바와 같이 기준 전압 생성부의 출력과 센스부의 출력 사이에 등화회로(40)이 구성되어 있다. 이 등화회로(40)는 등화 인에이블 신호(EQUAEN)에 따라 인에이블된다. 그 밖의 구성은 도 1과 동일하다.  
<24> 그 동작을 설명하면 다음과 같다.  
<25> 워드라인(도시안됨)에 리드 전압이 공급되기 전에 등화 인에이블 신호(EQUAEN)에 의해 등화회로(40)를 인에이블 시켜 센스부(10)의 출력(SAIN)과 기준 전압 생성부(20)의

출력(SAINR)을 동일하게 만든다. 이후 워드 라인을 인에이브 시키면 센싱부(10)의 출력(SAIN)은 비교기(SA0)의 비 반전(+)단자에 입력된다. 레퍼런스 셀로 구성된 기준 전압 생성부(20)의 출력(SAINR)은 비교기(SA0)의 반전(-)단자에 입력된다. 예를들어 센싱부(10)의 출력이 기준 전압 생성부(20)의 출력(SAINR)보다 높으면 비교기(SA0)는 로우 신호를 출력하고 그 반대이면 비교기(SA0)는 하이 신호를 출력한다. 즉, 메모리 셀이 프로그램된 셀이면 레퍼런스 셀의 문턱전압이 메모리 셀의 문턱 전압보다 낮으므로 비교기(SA0)는 로우 신호를 출력하고 메모리 셀이 소거된 셀이면 레퍼런스 셀의 문턱전압이 메모리 셀의 문턱 전압보다 높으므로 비교기(SA0)는 하이 신호를 출력한다.

<26> 이러한 동작은 도 5의 타이밍도에 자세히 나타나 있다. 도 5에 도시된 바와 같이 T1 과 T2 구간에 등화회로(40)가 동작하여 SAIN과 SAINR이 같은 전압을 가지며 상승한다. 그리고 T2 시간에 등화회로가 디스에이블되면 SAIN과 SAINR은 워드라인의 전압에 의해 각각의 정해진 전압을 찾아가게 된다. 만약 메모리 셀이 프로그램된 셀이면 SAIN은 상승하게 되고, 소거된 셀이면 SAIN은 떨어 지게 된다. 그리고 SAIN 과 SAINR 사이의 전압차가 발생하면 센싱 데이터가 비교기(SA0)에서 출력되게 된다. 따라서 기존의 센스 증폭기와 달리 T3 시간 동안의 지연이 없어 지게 됨으로 센싱 속도가 개선 된다.

<27> 도 6a 내지 6c는 본 발명에 따른 등화회로의 실시예를 나타낸다.

<28> 도 6a의 경우는 등화회로를 간단한 스위치로 구성한 경우를 나타내며 도 6b의 경우는 PMOS트랜지스터(Q1)로 구성된 경우를 나타내고, 도 6c의 경우는 등화회로를 NMOS트랜지스터(Q2)로 구성한 경우를 나타낸다.



**【발명의 효과】**

- <29> 상술한 바와 같이 본 발명에 의하면, 센스 증폭기에 등회회로를 채용함으로써 센신 스피드를 개선할 수 있는 효과가 있다.
- <30> 본 발명은 실시예를 중심으로 하여 설명되었으나 당 분야의 통상의 지식을 가진 자라면 이러한 실시예를 이용하여 다양한 형태의 변형 및 변경이 가능하므로 본 발명은 이러한 실시예에 한정되는 것이 아니라 다음의 특허 청구 범위에 의해 한정된다.

**【특허청구범위】****【청구항 1】**

메모리 셀에 저장된 데이터를 센스하는 센스부와,

레퍼런스 셀로 구성되며 기준 전압을 생성하는 기준 전압 발생부와,

상기 메모리 셀의 워드라인이 인에이블 되기 전에 상기 센스부의 출력과 상기 기준 전압 발생부의 출력을 동일한 전 압으로 만든 후 센스 동작시에 디스에이블되는 등화회로와,

상기 센스부의 출력과 상기 기준 전압 발생부의 출력을 비교하는 비교기를 포함하여 구성된 것을 특징으로 하는 센스 증폭기.

**【청구항 2】**

제 1 항에 있어서,

상기 등화회로는 등화회로 인에이블 신호에 따라 구동 되는 스위치로 구성된것을 특징으로 하는 센스 증폭기.

**【청구항 3】**

제 1 항에 있어서,

상기 등화회로는 등화회로 인에이블 신호에 따라 구동 되는 PMOS트랜지스터로 구성된것을 특징으로 하는 센스 증폭기.

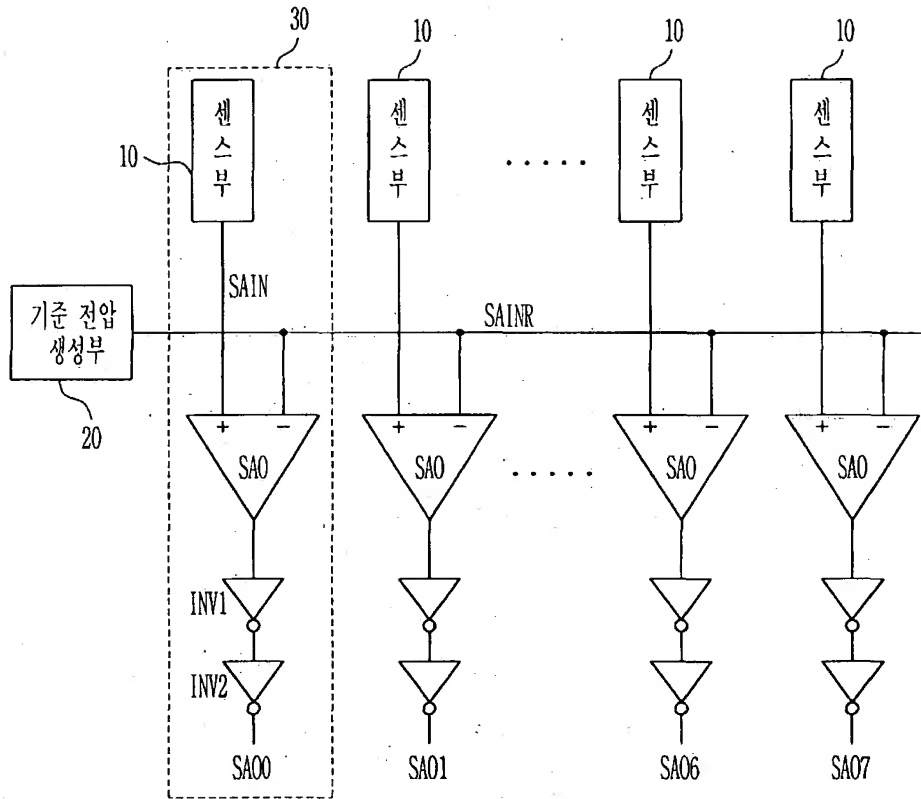
【청구항 4】

제 1 항에 있어서,

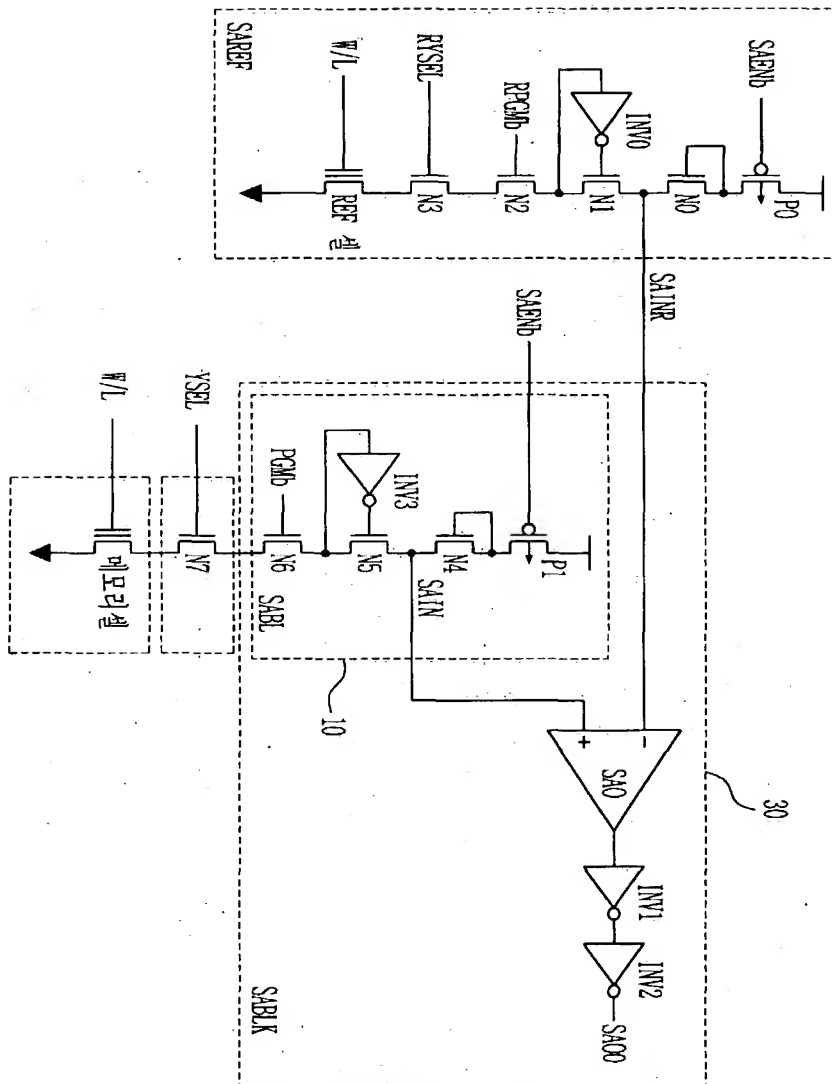
상기 등화회로는 등화회로 인에이블 신호에 따라 구동 되는 NMOS트랜지스터로 구성된 것을 특징으로 하는 센스 증폭기.

## 【도면】

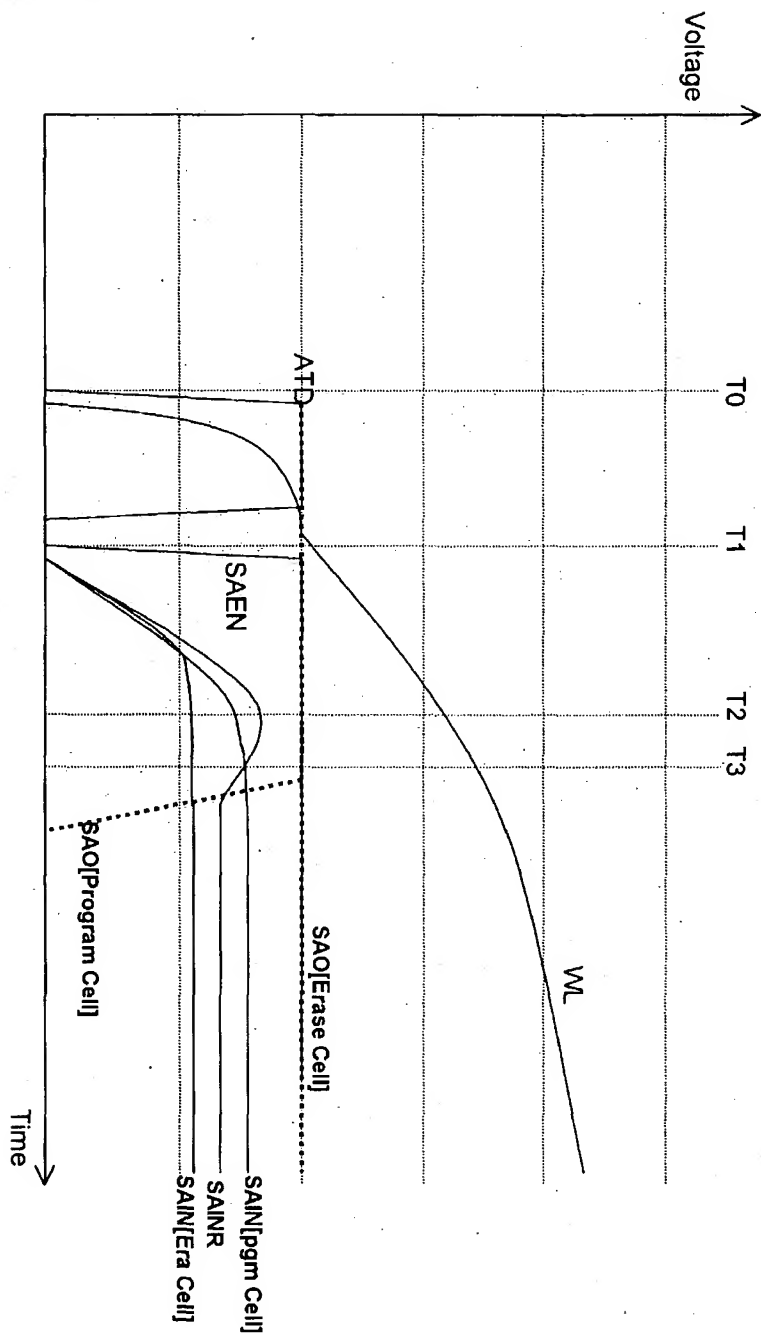
【도 1】



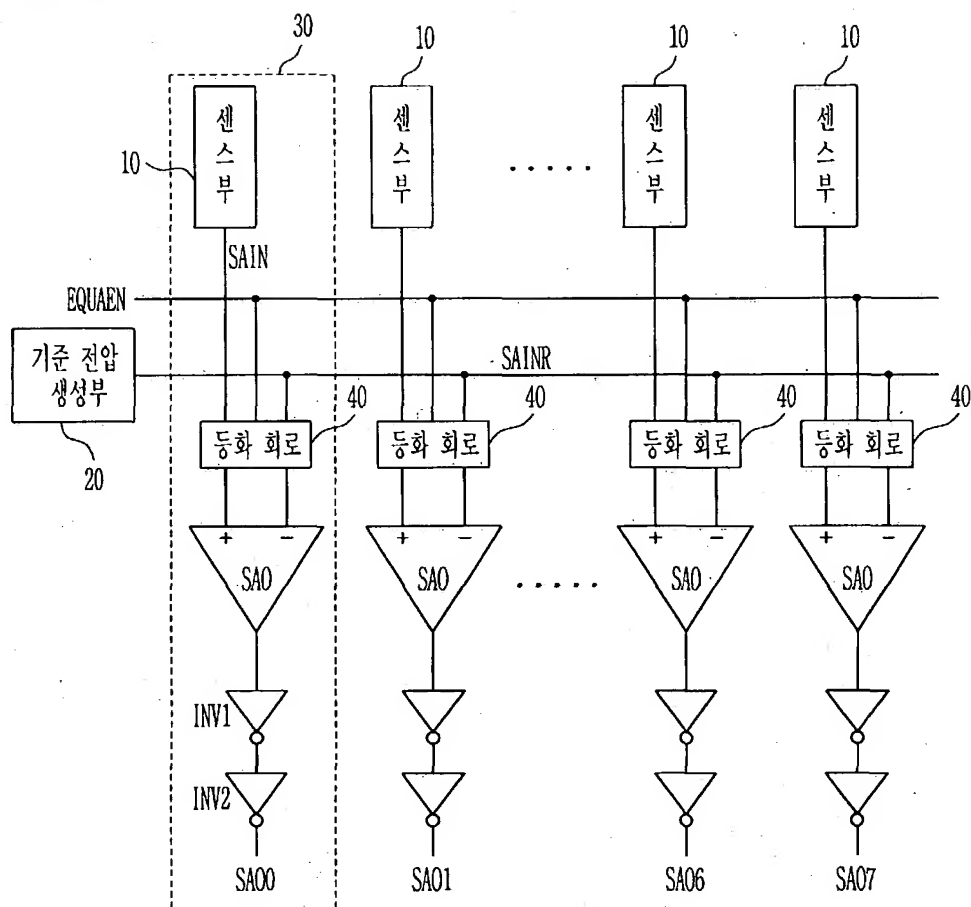
【도 2】



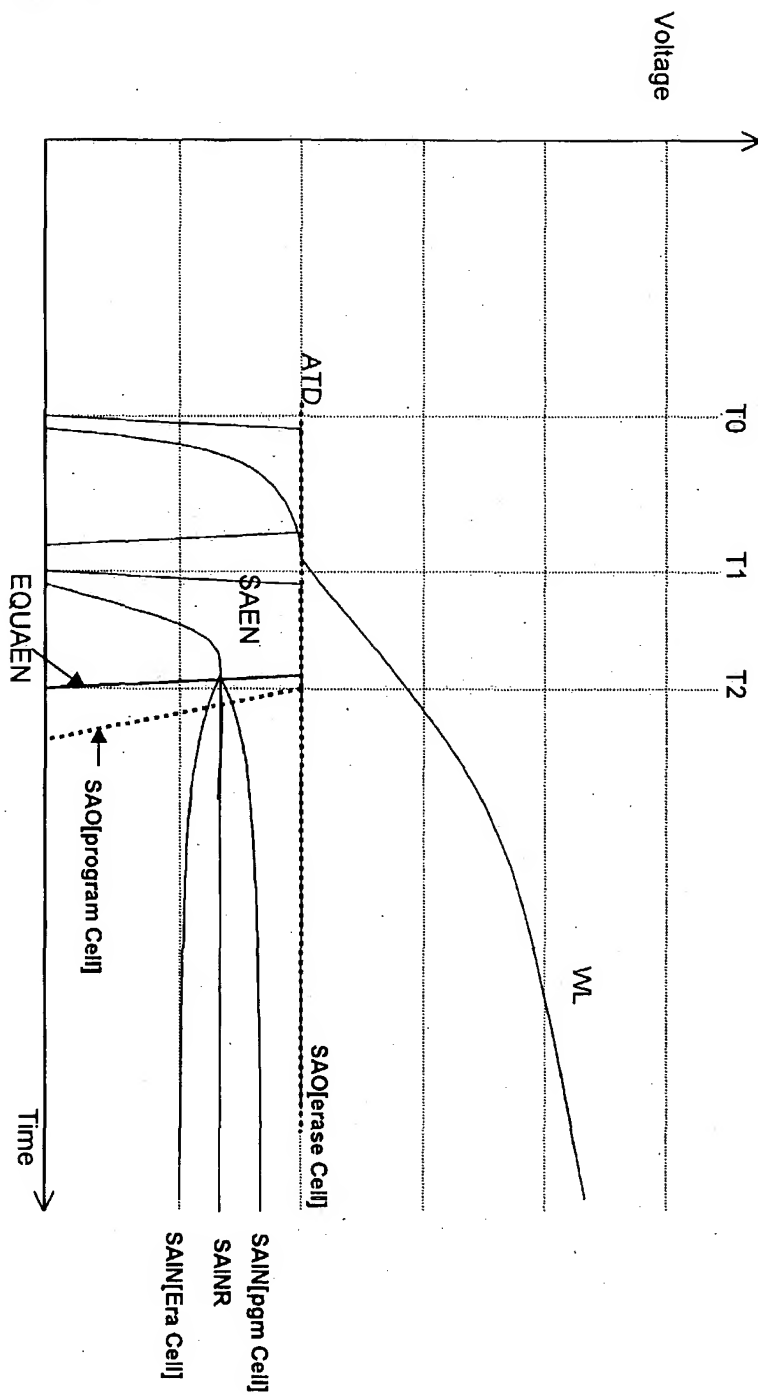
【도 3】



【도 4】



【도 5】





【도 6】

